

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02090561 A**

(43) Date of publication of application: **30.03.90**

(51) Int. Cl. **H01L 27/095**  
**H01L 27/04**

(21) Application number: **63241137**

(22) Date of filing: **28.09.88**

(71) Applicant: **HITACHI LTD HITACHI TOBU  
SEMICONDUCTOR LTD**

(72) Inventor: **YASUDA TAKESHI**

(54) **SEMICONDUCTOR ELEMENT**

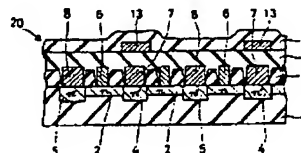
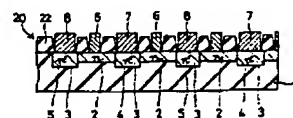
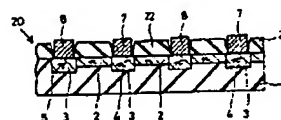
this setup, a MIS capacitor is formed.

(57) Abstract:

COPYRIGHT: (C)1990,JPO&Japio

**PURPOSE:** To improve a capacitor in breakdown strength as well as to miniaturize a chip by a method wherein an insulating film is made to overlap with each finger of a drain electrode, and a metal film is formed on the interlaminar insulating film to constitute a MIS capacitor.

**CONSTITUTION:** A  $\text{SiO}_2$  film 21 is provided onto the primary face of a wafer 20 partially ion-implanted with  $\text{Si}^+$ . Thereafter, an annealing treatment is executed to form an n-type channel layer 2 and an n<sup>+</sup>-type ohmic layer 3 which are to serve as a drain region 4 and a source region 5 on the surface layer of a semi-insulating GaAs substrate 1. And, a drain electrode 7 and a source electrode 8, which are to be formed into patterns shaped in the teeth of a comb and engaged with each other, are formed on the drain region 4 and the source region 5. Then, a gate electrode 6 of Al is built. And, an insulating film (interlaminar insulating film) 12 formed of PSG film is formed on the primary face of the wafer 20 above the drain electrode 7. And, a metal film (wiring electrode) 13 of Al or the like is formed on the interlaminar insulating film 12 through sputtering, and the wiring electrode 13 is patterned. By



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-90561

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月30日

H 01 L 27/095  
27/04

C

7514-5F  
7733-5F

H 01 L 29/80

E

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 半導体素子

⑯ 特 願 昭63-241137

⑰ 出 願 昭63(1988)9月28日

⑱ 発 明 者 安 田 武 埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内  
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑲ 出 願 人 日立東部セミコンダクタ株式会社 埼玉県入間郡毛呂山町大字旭台15番地  
⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

(従来技術)

1. 発明の名称

半導体素子

2. 特許請求の範囲

1. 容量内蔵型GaAsMESFETを有する半導体素子であって、前記容量はGaAsMESFETのドレイン電極と、このドレイン電極上に絶縁膜を介して重ねられた金属膜によるメタル-絶縁物-メタルで構成されていることを特徴とする半導体素子。

2. 前記メタル-絶縁物-メタルからなる容量は、前記ドレイン電極のフィンガー部分にそれぞれ設けられていることを特徴とする特許請求の範囲第1項記載の半導体素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、容量内蔵型GaAsMESFETを有する半導体素子に係わり、高耐圧・大容量形成に好適でかつ小型化が達成できる半導体素子に関する。

低雑音、高遮断周波数、高出力等の長を有するマイクロ波トランジスタとして、閃亜鉛塩型結晶構造の基体を基にして形成された砒化ガリウム電界効果トランジスタ(GaAs-FETと略す。)が広く知られている。また、このGaAs-FETの一つとして、ショットキー障壁ゲート形電界効果トランジスタ(MESFETとも称する。)が知られている。MESFETは、n導電型の能動領域主面に設けられたオーミック接触構造のソース・ドレイン電極と、その中間に一つあるいは二つ設けられたショットキー接合構造のゲート電極とからなり、シングルゲート構造あるいはデュアルゲート構造を構成している。

通信用広帯域低雑音GaAsICには、これらGaAs-MESFETが組み込まれている。GaAs通信用広帯域低雑音ICについては、たとえば、電子通信学会発行、信学技報、SSD84-106、P24~P31に記載されている。この文献には、ゲートとドレイン間に抵抗と容量を

直列に組み込んだGaAs-MESFETが開示されている。また、前記の直流遮断容量( $C_r$ )は、ショットキー容量で形成されている。

また、この文献には、「前記直流遮断容量( $C_r$ )と利得と入出力電圧定在波比(VSWR(Voltage Standing Wave Ratio) in out)等の相関において、前記 $C_r$ が小さいと利得とVSWR inが悪化する。しかし、IC内に大容量を形成することはチップサイズを増大させる。チップサイズと性能の兼ね合いが問題である。」旨記載されている。(発明が解決しようとする課題)

従来技術にあっては、直流遮断容量をショットキー容量で形成している。しかし、ショットキー容量は広い面積を必要とし、半導体素子(チップ)の面積に対する占有面積が、たとえば、60%~70%と高く、チップサイズの増大を招いている。

また、ショットキー容量は他の容量に比較して耐圧が低い。

膜)を重ねるとともにこの層間絶縁膜上に金属膜を形成し、MIM容量を構成させた構造となっていることから、容量形成のために独立した領域を必要としないため、チップサイズの小型化が達成できる。また、前記MIM容量はショットキー容量に比較してその耐圧が高いことから、半導体装置の耐圧の向上も達成できる。さらに、MIM容量はその形成において、ショットキー接合の良否によって変動し易いショットキー容量に比較して再現性よく容量を形成することができる。

#### (実施例)

以下図面を参照して本発明の一実施例について説明する。

第1図は本発明の一実施例による容量内蔵型GaAs広帯域低雑音増幅IC(半導体素子)の概要を示す模式図、第2図は同じく半導体素子の要部を示す模式的平面図、第3図は同じく等価回路、第4図は同じく半導体素子の要部を示す断面図、第5図~第8図は同じく容量内蔵型GaAs広帯域低雑音増幅ICの製造における各工程でのウエハ

本発明の目的は、容量の耐圧が高くかつチップサイズが小型化できる容量内蔵型半導体素子を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

#### (課題を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、本発明の容量内蔵型GaAs広帯域低雑音増幅ICは、GaAs-MESFETのドレイン電極上に絶縁膜を設けさらにこの絶縁膜上に金属膜を配設し、メタル-絶縁物-メタルからなるMIM容量を構成している。

#### (作用)

上記した手段によれば、本発明の容量内蔵型GaAs広帯域低雑音増幅ICにあっては、GaAs-MESFETのドレイン電極、すなわち、ドレイン電極の各フィンガー上に絶縁膜(層間絶縁

クであるウエハを示す断面図であって、第5図はチャネル層およびオーミック層形成後の断面図、第6図はソース電極およびドレイン電極ならびにゲート電極が設けられたウエハの断面図、第7図は絶縁膜形成後のウエハの断面図、第8図は配線電極形成後のウエハの断面図である。

この実施例の半導体素子、すなわち、容量内蔵型GaAs広帯域低雑音増幅ICは、第3図の等価回路で示されるように、ソース(S)、ゲート(G)、ドレイン(D)とからなるGaAs-MESFETにおいて、ゲートとドレインとの間に容量( $C_r$ )と抵抗( $R_r$ )が組み込まれている。前記容量は後述するが、メタル-絶縁物-メタルからなるMIM(Metal-Insulator-Metal)容量となっている。

この容量内蔵型GaAs広帯域低雑音増幅ICを構成する半導体素子(以下、チップとも称する。)は、第1図および第4図に示されるように、半絶縁性GaAs基板(基板)1の主面に各導電型層や絶縁膜等を配設することによって形成されて

いる。すなわち、半絶縁性GaAs基板1の主面には、 $0.2\mu\text{m}$ 前後の薄いn形のチャネル層2を有している。また、このチャネル層2部分には、このチャネル層2よりも深くかつ一定の幅を有して相互に平行に延在する複数条のn<sup>+</sup>形のオーミック層3が設けられている。前記オーミック層3は、ソース領域5、ドレイン領域4と交互になっている。そして、これらドレイン領域4およびソース領域5はそれぞれ楕円状となり、それぞれは噛み合うパターンとなっている。そこで、この相互に噛み合う部分を、説明の便宜上フィンガーと呼称する。

一方、前記チャネル層2、ドレイン領域4、ソース領域5上には、それぞれゲート電極6、ドレイン電極7、ソース電極8が配設されている。前記ドレイン電極7は、第2図に示されるように、右下がりの線で示されるハッチング部分とクロスハッチング部分である。また、第2図に示されるように、二点鎖線で示される部分がソース電極8部分である。また、前記ドレイン電極7とソース

電極8のフィンガー部分間には実線で示されるようにゲート電極6が延在している。このゲート電極6はソース電極8とクロスするが、電気的に絶縁状態を維持してクロスするようになっている。また、ゲート電極6の前記フィンガー部分から外れた部分は、幅の広い領域が設けられるとともに、この領域には、矩形で示されるように、ゲート用ワイヤボンディングパッド9が設けられている。また、前記ドレイン電極7およびソース電極8の一部には同様にドレイン用ワイヤボンディングパッド10およびソース用ワイヤボンディングパッド11が設けられている。これら各パッド9、10、11は、それぞれワイヤが接続されて給電点となる。

また、第1図に示されるように、半絶縁性GaAs基板1の主面には、厚さ $4000\text{\AA}$ のPSC(リンシリケートガラス)膜からなる絶縁膜(層間絶縁膜)12が設けられている。この層間絶縁膜12は前記ゲート電極6、ドレイン電極7、ソース電極8を被っている。また、この層間絶縁膜

12の表面には、前記ドレイン電極7のフィンガー部分に重なるようにAl等からなる金属膜(配線電極)13が設けられている。前記配線電極13は、第2図に示されるように、右上がりの線で示されるハッチング部分とクロスハッチング部分で示される部分からなるパターンとなっている。そして、クロスハッチングで示される部分が、前記ドレイン電極7のフィンガー部分(金属膜)と、この金属膜上に重なる層間絶縁膜12(絶縁膜)と、この絶縁膜上に重なる配線電極13(金属膜)となり、MIM容量14、すなわち、直流遮断容量( $C_f$ )を構成する。なお、前記金属膜13とゲート電極6間には抵抗( $R_f$ )15が配設されている。この抵抗15は、図示しないが前記半絶縁性GaAs基板1の主面裏層部に不純物を部分的に拡散させることによって形成される。

なお、第4図に示されるように、前記金属膜13等を含む半絶縁性GaAs基板1の主面は部分的にパッシベーション膜16によって被われる。そして、前記ゲート用ワイヤボンディングパッド

9、ドレイン用ワイヤボンディングパッド10、ソース用ワイヤボンディングパッド11が、前記パッシベーション膜16から露出するようになっている。

つぎに、このような半導体素子、すなわち、容量内蔵型GaAs広帯域低雑音増幅ICチップの製造について、第5図～第8図を参照しながら説明する。

最初に第5図に示されるように、化合物半導体薄片(ウエハ)20が用意される。このウエハ20は半絶縁性GaAs基板1からなっている。また、このウエハ20は、その主面にすでに2回におよんでSi<sup>+</sup>が部分的にイオン注入によって打ち込まれている。このようなウエハ20はその主面にSiO<sub>2</sub>膜21が設けられる。その後、たとえば、 $800^{\circ}\text{C}$ で20分のアニール処理を行って、半絶縁性GaAs基板1の裏層部にn形のチャネル層2およびドレイン領域4およびソース領域5となるn<sup>+</sup>形のオーミック層3を形成する。前記n<sup>+</sup>形のオーミック層3はドレイン電極7やソー

ス電極 8 との間でオーミックコンタクトを形成するために不純物濃度は、たとえば、 $10^{18} \text{ cm}^{-3}$ と高くなっている。また、前記 n 形のチャネル層 2 の不純物濃度は FET の閾値に關与するため、不純物濃度は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3}$ と低濃度となっている。なお、このチャネル層 2 およびオーミック層 3 の形成時、同時に抵抗 15 も形成する。

つぎに、前記 SiO<sub>2</sub> 膜 21 を除去した後、ウエハ 20 の主面に厚さ 4500 Å の PSG (リンシリケートガラス) 膜からなる絶縁膜 22 を形成しかつ図示しないホトレジスト膜を設ける。その後、前記ホトレジスト膜を感光現像した後、前記絶縁膜 22 を部分的に除去し、かつウエハ 20 の主面全域に AuGe-Ni-Au の順に蒸着する。その後、前記ホトレジスト膜を除去するいわゆるリフトオフ法によって、第 6 図に示されるように、前記ドレイン領域 4 およびソース領域 5 上に楕円状となり、相互に噛み合うパターンとなるドレイン電極 7 およびソース電極 8 を形成する。このド

レイン電極 7 およびソース電極 8 はおよそ 4500 Å 程度の厚さとなる。

つぎに、前記同様のリフトオフ法によって、第 7 図に示されるように、5000 Å 程度の厚さの Al からなるゲート電極 6 を形成する。このゲート電極 6 はチャネル層 2 との間でショットキー接合を構成する。

つぎに、第 8 図に示されるように、ウエハ 20 の主面にドレイン電極上で 1000 Å 程度の厚さになるように PSG 膜からなる絶縁膜 (層間絶縁膜) 12 を形成する。また、この層間絶縁膜 12 上にスパッタによって、Al 等からなる金属膜 (配線電極) 13 を数千 Å の厚さに形成する。この配線電極 13 は、常用のホトリソグラフィによってパターンニングされる。この結果、前記ドレイン電極 7 のフィンガー部分の上には層間絶縁膜 12 を介して配線電極 13 が形成されることから、MIM 容量が形成される。この MIM 容量は、従来のショットキー容量に比較して再現性良く安定して形成できる利点があり、かつまたショットキ

ー容量に比較して、その耐圧も高い。たとえば、前記のように、1000 Å の厚さの PSG 膜で、ドレイン電極のフィンガー部分を 2 本使用し、容量部分の面積を  $8 \text{ 万 } \mu\text{m}^2$  程度とすれば、容量は 30 pF 以上となり、 $V_{DS} = 3 \text{ V}$ 、 $V_{GS} = -1 \text{ V}$  で使用する容量内蔵型 GaAs 広帯域低雑音増幅 IC の場合、最大定格を 7 V とした場合、充分満たすことができる。

つぎに、前記ウエハ 20 の主面の所定部、すなわち、ワイヤ接続のためのワイヤボンディングパッド等を除く殆どの領域には、パッシベーション膜 16 が設けられ、その後、このウエハ 20 は縦横に切断され、第 1 図および第 4 図に示されるような IC チップが多数製造される。

このような実施例によれば、つぎのような効果が得られる。

(1) 本発明の容量内蔵型 GaAs 広帯域低雑音増幅 IC にあっては、容量はドレイン電極のフィンガー上に絶縁膜を介して配線電極を設けた所謂 MIM 容量となっていることから、チップの特定

面を容量形成のために確保しておく必要もなく、チップサイズの小型化が達成できるという効果が得られる。

(2) 上記 (1) により、本発明の容量内蔵型 GaAs 広帯域低雑音増幅 IC にあっては、容量は MIM 容量で構成されていることから、ショットキー容量に比較して耐圧が向上するという効果が得られる。

(3) 上記 (1) および (2) により、本発明によれば、チップサイズが小型となりかつ容量の高逆耐圧化が達成できる容量内蔵型 GaAs 広帯域低雑音増幅 IC を提供することができるという相乗効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、ドレイン電極のフィンガー数を多くし、かつこの上に層間絶縁膜を介して配線電極を設け、MIM 容量を形成すれば、さらに容量を

増大させることができる。また、前記実施例では、MIM容量を形成するための層間絶縁膜として、PSG膜を使用しているが、窒化ケイ素膜を使用した場合には、誘電率がPSG膜より高いこと、また膜が緻密であることから、層間絶縁膜の厚さを数百～千Å程度とすることもでき、さらに容量の増大を図ることができる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である容量内蔵型GaAs広帯域低雑音増幅ICの製造技術に適用した場合について説明したが、それに限定されるものではない。

本発明は少なくとも容量を設ける構造の半導体素子の製造には適用できる。

#### (発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明の容量内蔵型GaAs広帯域低雑音増幅ICは、GaAs-MESFETのドレイン電極

の各フィンガー上に絶縁膜を介して金属膜を形成し、MIM容量を構成していることから、容量形成のために独立した領域を必要としないため、チップサイズの小型化が達成できる。また、前記MIM容量はショットキー容量に比較してその耐圧が高いことから、半導体装置の耐圧の向上も達成できる。したがって、小型で容量の大きい容量内蔵型GaAs広帯域低雑音増幅ICを提供することができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例による容量内蔵型GaAs広帯域低雑音増幅IC(半導体素子)の概要を示す模式図、

第2図は同じく半導体素子の要部を示す模式的平面図、

第3図は同じく等価回路、

第4図は同じく半導体素子の要部を示す断面図、

第5図は同じく半導体素子の製造においてチャネル層およびオーミック層がワークであるウエハに形成された状態を示す断面図、

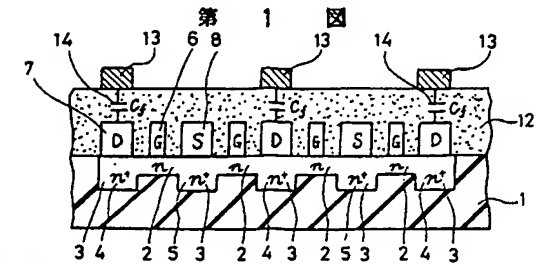
第6図は同じくソース電極およびドレイン電極ならびにゲート電極が設けられたウエハの断面図、

第7図は同じく絶縁膜形成後のウエハの断面図、

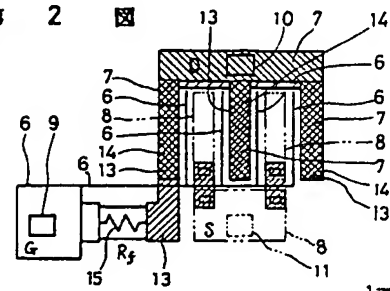
第8図は同じく配線電極形成後のウエハの断面図である。

1・・・半絶縁性GaAs基板、2・・・チャネル層、3・・・オーミック層、4・・・ドレイン領域、5・・・ソース領域、6・・・ゲート電極、7・・・ドレイン電極、8・・・ソース電極、9・・・ゲート用ワイヤボンディングパッド、10・・・ドレイン用ワイヤボンディングパッド、11・・・ソース用ワイヤボンディングパッド、12・・・層間絶縁膜、13・・・配線電極、14・・・MIM容量、15・・・抵抗、16・・・パッシベーション膜、20・・・ウエハ、21・・・SiO<sub>2</sub>膜、22・・・絶縁膜。

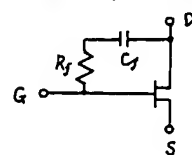
代理人 弁理士 小川勝男



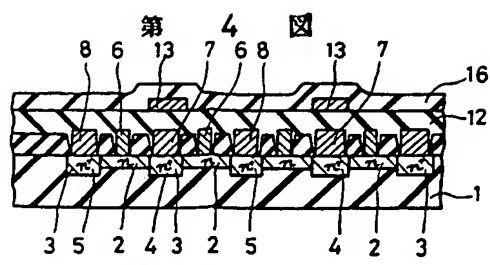
第 2 図



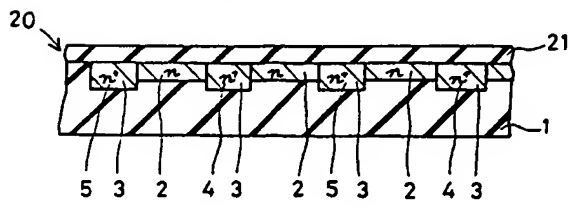
第 3 図



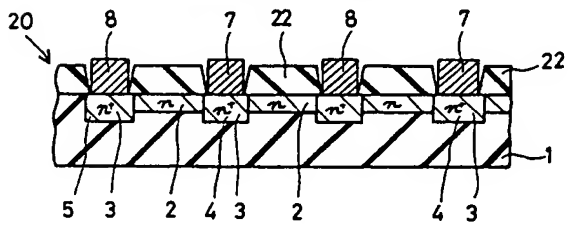
- 1—半絶縁性 GaAs 基板
- 2—チャネル層
- 3—オーミック層
- 4—ドレイン領域
- 5—ソース領域
- 6—ゲート電極
- 7—ドレイン電極
- 8—ソース電極
- 9—ゲート用ワイヤボンディングパッド
- 10—ドレイン用ワイヤボンディングパッド
- 11—ソース用ワイヤボンディングパッド
- 12—層間絶縁膜
- 13—配線電極
- 14—MIM 容量



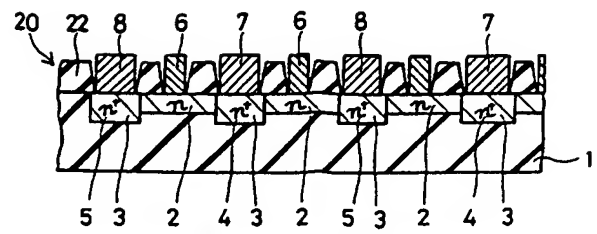
第 5 図



第 6 図



第 7 図



第 8 図

